

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-144676

(43)Date of publication of application : 29.05.1998

(51)Int.Cl.

H01L 21/314  
H01L 21/3065  
H01L 21/31  
H01L 21/768

(21)Application number : 08-320912

(71)Applicant : TOKYO ELECTRON LTD

(22)Date of filing : 14.11.1996

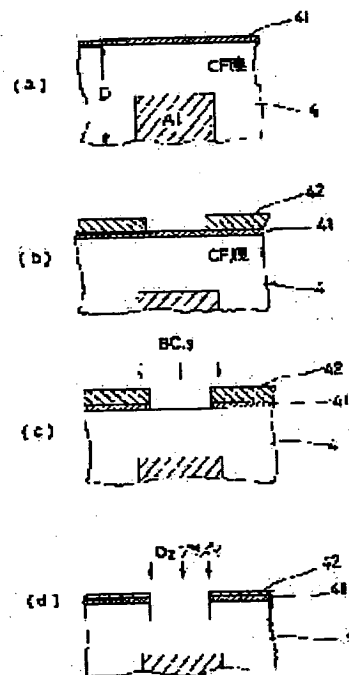
(72)Inventor : AKAHORI TAKASHI  
ENDO SHUNICHI  
ISHIZUKA SHUICHI  
HIRATA TADASHI  
AOKI TAKESHI

## (54) MANUFACTURING SEMICONDUCTOR ELEMENT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an F-contg. carbon (CF) film forming process for using this film as a practical interlayer insulation film.

**SOLUTION:** On a CF film 4 a conductive film e.g. TiN film 41 is formed, a pattern of a resist film 42 is formed thereon and that film 41 is etched by e.g. BCl<sub>3</sub> gas. An O<sub>2</sub> plasma is radiated on a wafer surface, the CF film is chemically etched and resist film 42 is etched with the TiN film 41 serving as a mask to form predetermined holes. On the surface of the CF film 4 a wiring of Al, etc., is formed, the film 41 acting as an adhesive layer between the wiring and CF film 4, resulting in a part of the wiring. As a mask, an SiO<sub>2</sub> insulation film may be used, instead of the conductive film.



## LEGAL STATUS

[Date of request for examination]

22.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3400918

[Date of registration]

21.02.2003

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-144676

(43) 公開日 平成10年(1998) 5月29日

(51) Int.Cl.<sup>9</sup> 識別記号H 0 1 L 21/314  
21/3065  
21/31  
21/768

F I

H 0 1 L 21/314 A  
21/31 C  
21/302 H  
21/90 K

審査請求 未請求 請求項の数1 F D (全 10 頁)

(21) 出願番号 特願平8-320912

(22) 出願日 平成8年(1996)11月14日

(71) 出願人 000219967

東京エレクトロン株式会社

東京都港区赤坂5丁目3番6号

(72) 発明者 赤堀 孝

神奈川県津久井郡城山町町屋1丁目2番41号  
東京エレクトロン東北株式会社相模事業所内

(72) 発明者 遠藤 俊一

神奈川県津久井郡城山町町屋1丁目2番41号  
東京エレクトロン東北株式会社相模事業所内

(74) 代理人 弁理士 井上 俊夫

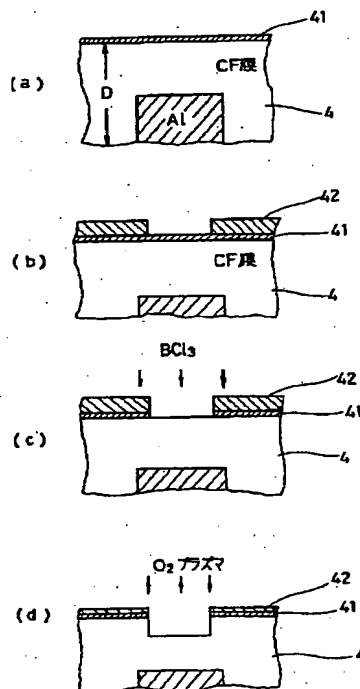
最終頁に続く

(54) 【発明の名称】 半導体素子の製造方法

(57) 【要約】

【課題】 フッ素添加カーボン膜（以下「CF膜」という）を用いた層間絶縁膜の実用化を図るためにCF膜の工程を可能にすること。

【解決手段】 CF膜4の上に導電膜例えばTiN膜41を形成し、その上にレジスト膜42のパターンを形成した後、例えばBCl<sub>3</sub>ガスによりTiN膜41をエッチングする。その後O<sub>2</sub>プラズマをウエハ表面に照射すると、CF膜を化学エッチングすると共にレジスト膜42もエッチングするが、TiN膜41がマスクの役割を果たすため、予定のホールを形成することができる。CF膜4の表面にはアルミニウムなどによって配線が形成されるが、TiN膜41は配線とCF膜4との密着層の役割を果たし、また配線の一部となる。マスクとしては導電膜の代りにSiO<sub>2</sub>などの絶縁膜を用いてもよい。



**【特許請求の範囲】**

**【請求項1】** フッ素添加カーボン膜よりなる絶縁膜を被処理体上に成膜する工程と、次いで前記絶縁膜上にレジスト膜によりパターンを形成する工程と、その後酸素プラズマによりフッ素添加カーボン膜をエッチングしながらレジスト膜を除去する工程と、を含むことを特徴とする半導体素子の製造方法。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明はフッ素添加カーボン膜を用いた半導体素子の製造方法に関する。

**【0002】**

**【従来の技術】** 半導体デバイスの高集積化を図るために、パターンの微細化、回路の多層化といった工夫が進められており、そのうちのひとつとして配線を多層化する技術がある。多層配線構造をとるためには、 $n$ 層目の配線層と $(n+1)$ 番目の配線層の間を導電層で接続すると共に、導電層以外の領域は層間絶縁膜と呼ばれる薄膜が形成される。

**【0003】** この層間絶縁膜の代表的なものとして $\text{SiO}_2$ 膜があるが、近年デバイスの動作についてより一層の高速化を図るために層間絶縁膜の比誘電率を低くすることが要求されており、層間絶縁膜の材質についての検討がなされている。即ち $\text{SiO}_2$ は比誘電率がおよそ4であり、これよりも小さい材質の発掘に力が注がれている。そのうちのひとつとして比誘電率が3.5である $\text{SiOF}$ の実現化が進められているが、本発明者は比誘電率が更に小さいフッ素添加カーボン膜に注目している。

**【0004】**

**【発明が解決しようとする課題】** ところでフッ素添加カーボン膜については未知の部分が多く、フッ素添加カーボン膜自体の製法も模索している段階であり、例えばエッチング工程について見ると、 $\text{SiO}_2$ 膜のエッチングガスとして用いられていた $\text{CF}_4$ などの $\text{CF}$ 系のガスでは、エッチングすべき膜自体が $\text{CF}$ 系のものであるためエッチングを行うことができず、従来の工程をそのまま適用できない。従ってフッ素添加カーボン膜が層間絶縁膜として好適であるといっても、実用化を達成するには多くの課題をかかえている。

**【0005】** 本発明は、その中でもエッチング工程に関する課題を取り上げてなされたものであり、フッ素添加カーボン膜のエッチングを可能にすることができ、フッ素添加カーボン膜を用いた層間絶縁膜の実用化を主たる目的とするものである。

**【0006】**

**【課題を解決するための手段】** 請求項1の発明は、フッ素添加カーボン膜よりなる絶縁膜を被処理体上に成膜する工程と、次いで前記絶縁膜上にレジスト膜によりパターンを形成する工程と、その後酸素プラズマによりフッ素添加カーボン膜をエッチングしながらレジスト膜を除去

する工程と、を含むことを特徴とする。

**【0007】**

**【発明の実施の形態】** 本発明の実施の形態では、フッ素添加カーボン膜（以下「 $\text{CF}$ 膜」という）をエッチングする工程に特徴があるが、本発明方法を利用して製造される半導体素子の構造の一例を図1(a)、(b)に示しておく。1はシリコン基板、11は $\text{BPSG}$ 膜( $\text{SiO}_2$ に $\text{P}$ 及び $\text{B}$ がドーパされた膜)、12は $n$ 型半導体領域、13は、絶縁膜14のスルーホールに埋め込まれた例えば $\text{W}$ （タングステン）よりなる電極であり、これらは回路主要部の一部に相当する。この回路主要部の上には、例えばアルミニウムよりなる配線15が多層に形成され、上下の配線15、15は、層間絶縁膜16に形成されたビアホールに埋め込まれた例えば $\text{W}$ よりなる導電層17により互に接続されている。

**【0008】** このような半導体素子を製造するにあたって層間絶縁膜をエッチングする工程に関して以下に述べていく。図2(a)は例えば1層目のアルミニウム配線が形成された状態を示しており、絶縁膜14の上に図2(b)に示すように $\text{CF}$ 膜よりなる1層目の層間絶縁膜16が形成される。 $\text{CF}$ 膜は、例えば $\text{CF}$ 系のガス及び $\text{CH}$ 系のガスを成膜ガスとして、プラズマ $\text{CVD}$  (Chemical Vapor Deposition)法により成膜することができる。例えば $\text{C}_4\text{F}_8$ ガス及び $\text{C}_2\text{H}_4$ ガスを用い、エッチング装置でもある後述の $\text{ECR}$  (電子サイクロトロン共鳴)プラズマ処理装置を用いて例えば厚さ $0.7\mu\text{m}$ に成膜される。

**【0009】** 次いで図2(c)に示すように $\text{CF}$ 膜(層間絶縁膜16)の表面に所定のパターンでレジスト膜18が形成される。このレジスト膜18は例えばスピンコーティング法によりウエハ表面にレジスト液を塗布し、露光、現像工程を経て形成される。レジストの材料としては、アジド化合物、ポリビニルフェノール、メタクリル酸化合物、ノボラック樹脂、ポリスチレン系樹脂といった有機材料が用いられる。

**【0010】** その後ウエハ表面に $\text{O}_2$ プラズマ(酸素プラズマ)を照射して $\text{CF}$ 膜をエッチングする。 $\text{CF}$ 膜に $\text{O}_2$ プラズマが当たると、 $\text{O}_2$ の活性種が $\text{C}-\text{F}$ 結合及び $\text{C}-\text{C}$ 結合を切断して $\text{CO}$ あるいは $\text{CO}_2$ となって飛散すると共に、 $\text{F}$ についても $\text{F}_2$ などとなって飛散する。こうして $\text{CF}$ 膜が $\text{O}_2$ プラズマによって化学エッチングされていく。

**【0011】** ところでレジスト膜18は有機系材料であるため $\text{O}_2$ プラズマによってやはり化学的にエッチングにより除去されてしまう。従って $\text{CF}$ 膜のエッチングとレジスト膜18のエッチングによる除去とが同時に進行するが、レジスト膜18が全てエッチングにより除去される前に、 $\text{CF}$ 膜の表面からアルミニウム配線15までのエッチングが終了すれば、図2(d)に示すように予定とするビアホール19が形成される。このためにはレ

ジスト膜18のエッチングによる除去の速度とCF膜のエッチングの速度を予め把握してレジスト膜18の膜厚を設定すればよい。

【0012】レジスト膜18のエッチングによる除去の速度とCF膜のエッチングの速度が同じであればCF膜の表面が平坦化される。一般的にはレジスト膜18を除去した後に層間絶縁膜の表面を平坦化するためにCMPなどと呼ばれる機械的研磨工程が行われるが、この場合にはCMP工程が不要になるという利点がある。レジスト膜のエッチングによる除去の速度とCF膜のエッチングの速度が異なる場合には、予定とするホールが形成される前に(アルミニウム表面までエッチングされる前に)レジスト膜18が全部除去されないようにすることが望ましい。ホールが形成されたときにレジスト膜18が残っていれば、その後レジスト膜18のエッチング終了時点をも、例えばCOやCO<sub>2</sub>の発光量の変化に基づいて検出することにより、CF膜の膜厚を変動させることなくレジスト膜の除去及びホールの形成を行うことができる。

【0013】本発明の他の実施の形態では、図3に示すようにO<sub>2</sub>ガスとシラン系のガス例えばSiH<sub>4</sub>、Si<sub>2</sub>H<sub>6</sub>ガスなどを用いてCF膜のエッチングを行う。図3はこのようなエッチングの様子を示す図であり、エッチングと同時にホール19の側壁に、SiH<sub>4</sub>とO<sub>2</sub>との反応によってSiO<sub>2</sub>よりなる保護膜19aが形成され、側壁のエッチングが抑制される。

【0014】O<sub>2</sub>ガスのみによってエッチングを行う場合、図4に示すように凹部19の側壁もエッチングされて横に膨らむボーイングと呼ばれる状態になるため、高アスペクト比の凹部19をエッチングすることが困難であると考えられる。従ってこの手法によればアスペクト比の高いビアホールやスルーホールのエッチングを行うことができる。この場合O<sub>2</sub>ガスに対するシラン系ガスの比率が大きいと保護膜が成長し過ぎて凹部の形状が悪くなるため、エッチング条件等に応じてシラン系ガスの混合比を設定することが必要である。この方法は、後述する絶縁膜や導電膜をCF膜の表面に形成する方法と組み合わせる実施してもよい。

【0015】本発明方法は例えば図5に示すプラズマ処理装置により実施することができる。この装置はアルミニウム等により形成された真空容器2を有しており、この真空容器2は上方に位置してプラズマを発生させる筒状のプラズマ室21と、この下方に連通させて連結され、プラズマ室21よりは口径の大きい筒状の処理室22とからなる。なおこの真空容器2は接地されてゼロ電位になっている。

【0016】この真空容器2の上端は、開口されてこの部分にマイクロ波を透過する部材例えば石英等の材料で形成された透過窓23が気密に設けられており、真空容器2内の真空状態を維持するようになっている。この透

過窓23の外側には、例えば2.45GHzのプラズマ発生用高周波供給手段としての高周波電源部24に接続された導波管25が設けられており、高周波電源部24に発生したマイクロ波Mを導波管25で案内して透過窓23からプラズマ室21内へ導入し得ようになっている。プラズマ室21を区画する側壁には例えばその周方向に沿って均等に配置したプラズマガスノズル26が設けられている。

【0017】また、プラズマ室21を区画する側壁の外周には、これに接近させて磁界形成手段として例えばリング状の主電磁コイル27が配置されると共に、成膜室22の下方側にはリング状の補助電磁コイル28が配置され、プラズマ室21から処理室22に亘って上から下に向かう磁界例えば875ガウスの磁界Bを形成し得ようになっており、ECRプラズマ条件が満たされている。なお電磁コイルに代えて永久磁石を用いてもよい。

【0018】このようにプラズマ室21内に周波数の制御されたマイクロ波Mと磁界Bとを形成することにより、これらの相互作用により上記ECRプラズマが発生する。この時、前記周波数にて前記導入ガスに共鳴作用が生じてプラズマが高い密度で形成されることになる。すなわちこの装置は、電子サイクロトロン共鳴(ECR)プラズマ処理装置を構成することになる。

【0019】前記載置台3は、例えばアルミニウム製の本体31の上に、ヒータ32を内蔵したセラミックス体33を設けてなり、載置面は静電チャックとして構成されている。更に載置台3の本体31には、ウエハWにイオンを引き込むためのバイアス電圧を印加するように例えば高周波電源部34が接続されている。バイアス電圧の電極は例えば静電チャックの電極と兼用している。そしてまた真空容器2の底部には排気管35が接続されている。なお30は成膜処理を行うときに用いられるリング状の成膜ガス供給部である。

【0020】次に上述の装置を用いて被処理体であるウエハ10に対してエッチングを行う方法について説明する。まず、真空容器2の側壁に設けた図示しないゲートバルブを開いて図示しない搬送アームにより、ウエハ10を図示しないロードロック室から搬入して載置台3上に載置する。

【0021】続いて、このゲートバルブを閉じて内部を密閉した後、排気管35より内部雰囲気を排出して所定の真空度まで真空引きし、プラズマガスノズル26からプラズマ室21内へO<sub>2</sub>ガスあるいは更にシラン系ガス例えばSiH<sub>4</sub>ガスを導入する。そして真空容器2内を所定のプロセス圧に維持し、かつ高周波電源部34により載置台3に13.56MHzのバイアス電圧を印加する。

【0022】プラズマ発生用高周波電源部24からの2.45GHzの高周波(マイクロ波)は、導波管25を搬送されて真空容器2の天井部に至り、ここの透過窓

23を透過してマイクロ波Mがプラズマ室21内へ導入される。このプラズマ室21内には、電磁コイル27、28により発生した磁界Bが上方から下方に向けて例えば875ガウスの強さで印加されており、この磁界Bとマイクロ波Mとの相互作用で $E$  (電界)  $\times$   $B$  (磁界) を誘発して電子サイクロトロン共鳴が生じ、この共鳴により $O_2$  ガスがプラズマ化され、且つ高密度化される。

【0023】プラズマ生成室21より処理室22内に流れ込んだプラズマ流は、バイアス電圧によりウエハ10に引き込まれ、ウエハ10の表面のエッチングが行われる。

【0024】ここで本発明者は、図5に示すプラズマ処理装置を用い、 $C_4F_8$  ガス及び $C_2H_4$  ガスを成膜ガスとし、また $Ar$  ガスをプラズマガスとしてウエハ10上に $CF$ 膜を形成すると共に、レジスト処理装置及び露光装置を用いて、アジド化合物系のレジスト膜により $CF$ 膜上にパターンを形成したものを用意した。このウエハに対して前記プラズマ処理装置を用いて、 $O_2$  ガスをプラズマガスノズル26から100sccmの流量で供給したところ、幅0.3 $\mu m$ 、アスペクト比1のホールを形成することができ、レジスト膜も同時にエッチングすることができた。ただし、プロセス圧を0.2Pa、マイクロ波電力を2500W、バイアス電力を1500W、載置台3の表面温度を270℃に設定した。

【0025】また $SiH_4$  ガスを2sccm供給した他は同様にしてエッチングを行ったところアスペクト比2のホールを良好な形状で形成することができた。

【0026】次に本発明の他の実施の形態について説明する。この実施の形態では図6(a)に示すように例えば厚さDが8000オングストロームの $CF$ 膜4の表面に例えば厚さ300オングストロームの導電膜例えば $TiN$  (チタンナイトライド) 膜41を形成する。この $TiN$ 膜41は、例えば $Ti$ をターゲットとし、 $Ar$  ガスと $N_2$  ガスとを用いて反応性スパッタリングを行うことにより成膜することができる。

【0027】続いて前記 $TiN$ 膜41の表面にレジスト膜42によりマスクを形成する(図6(b))。なおこの図6では $CF$ 膜の盛り上がりについては省略してある。その後 $TiN$ 膜41を図6(c)に示すように例えば $BCl_3$  ガスのプラズマにより $CF$ 膜4の表面までエッチングを行う。このエッチングは例えば既述のプラズマ処理装置で行うことができる。しかる後 $O_2$  プラズマをウエハ表面に照射すると、 $CF$ 膜4がエッチングされ、またレジスト膜42もエッチングにより除去される(図6(d))。

【0028】レジスト膜42が除去された後は、 $TiN$ 膜41がマスクの役割を果たし、パターンに対応する $CF$ 膜の領域だけがエッチングされ、予定としているビヤホールやスルーホールを形成することができる(図7(a))。  $CF$ 膜のエッチングが終了してアルミニウム

配線の表面が露出すると、 $O_2$  ガスから $Ar$  ガスに切り換えて、 $Ar$  イオンによるスパッタエッチングによりアルミニウム配線表面の酸化物を除去する(図7

(b))。その後ホールを例えばタングステン(W)などの金属43により埋め込んで接続層を形成すると共に、例えば第二層目の配線を形成する(図7(c))。ホールの埋め込みや配線の形成はアルミニウムを用いてスパッタリングにより行ってもよい。

【0029】このような方法によれば $TiN$ 膜41がいればハードマスクの役割りを果たすので、レジスト膜及び $CF$ 膜の両方が $O_2$  プラズマに対して耐性がなくとも、 $CF$ 膜のエッチングを行うことができる。また $CF$ 膜のエッチング中にレジスト膜42が除去されるので、後工程の $O_2$  アッシングによるレジスト膜42の除去工程が不要になる。そしてタングステン層やアルミニウム層を $CF$ 膜の上に形成するにあたって、 $TiN$ 膜41がそのままこれら金属層と $CF$ 膜とを密着させる密着層の役割を果たすので何ら悪影響を及ぼすものではなく、わざわざ除去する必要もない。なお $TiN$ 膜41の不要な部分は配線を形成するとき、つまり金属層をエッチングするときに同時に除去できる。

【0030】絶縁膜の表面に金属層を形成する場合にはもともと密着層が必要であり、従来から $TiN$ が使用されているので、ハードマスクとして $TiN$ を用いる方法は密着層をも同時に形成するので有効な方法である。更に $TiN$ は導電層であるため、層間絶縁膜側に含まれるのではなく配線の一部とみなせるので層間絶縁膜の比誘電率が高くなるのを抑えられる。更にまたアルミニウム配線が仮に断線しても配線の下地にある $TiN$ 膜により導電路が確保され、素子の動作不良を防止することができる。導電膜としては $TiN$ 以外に、 $Al$ 、 $W$ 、 $Ti$ 、 $TiW$ 、 $TiWN$ 、ポリシリコンなどを用いることができる。

【0031】以上において本発明では、ハードマスクとして導電膜の代りに絶縁膜を用いてもよい。絶縁膜の材質としては例えば $SiO_2$ 、 $SiOF$ あるいは $Si_3N_4$ などを用いることができる。この場合絶縁膜をエッチングする工程(既述の図6(c)に相当する工程)は、例えば $CF_4$  ガスを用い、フッ素ラジカルにより絶縁膜がエッチングされる。

【0032】ハードマスクは、層間絶縁膜の一部になるためそのまま残して次工程例えばアルミニウムやタングステンの埋め込み工程を行ってもよいが、例えば $HF$ 液によるウェットエッチングにより絶縁膜全部を除去するようにしてもよい。絶縁膜をハードマスクとして用いる場合、その厚さは例えば100オングストローム以上あればハードマスクの機能を果たすが、素子の中に残す場合には厚さがあまり大きいと、この絶縁膜をも含めた層間絶縁膜のトータルの比誘電率が大きくなってしまいうので、 $CF$ 膜の厚さの1/3程度以下が好ましいと考えら

れる。

【0033】図8は $O_2$  プラズマと $NF_3$  プラズマとを用いて、図5に示す装置によりCF膜のエッチング特性を調べた結果であり、この図からもCF膜のエッチングを行うにあたって $O_2$  プラズマが有効であることが理解される。

【0034】

【発明の効果】以上のように本発明によればCF膜のパターンエッチングを行うことができ、例えばCF膜を用いた層間絶縁膜の実用化を図ることができる。

【図面の簡単な説明】

【図1】本発明方法によって製造される半導体素子の一部を示す説明図である。

【図2】本発明方法の実施の形態を示す説明図である。

【図3】本発明方法の他の実施の形態を示す説明図である。

【図4】本発明方法と比較した方法の説明図である。

【図5】本発明方法を実施するためのプラズマ処理装置の一例を示す縦断側面図である。

【図6】本発明の更に他の実施の形態を示す説明図である。

【図7】本発明の更に他の実施の形態を示す説明図であ

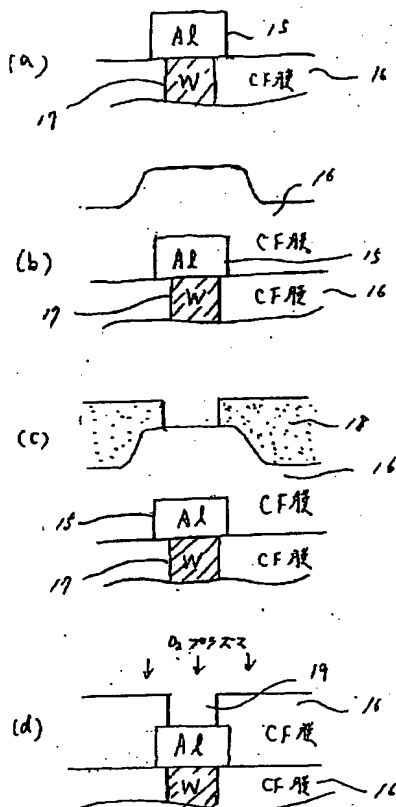
る。

【図8】CF膜のエッチング特性を示す特性図である。

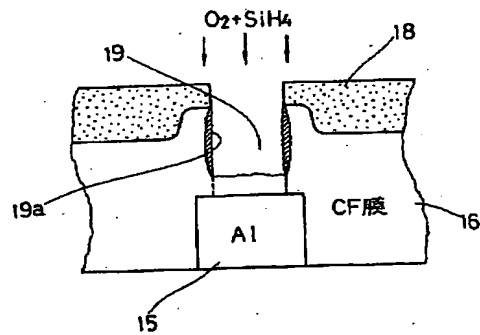
【符号の説明】

1 1	BPSG膜
1 2	n形半導体層
1 3	電極
1 4	CF膜よりなる絶縁膜
1 5	アルミニウム配線
1 6	CF膜よりなる層間絶縁膜
1 7	導電層
1 8	レジスト膜
1 9	ホール
1 9 a	保護膜
2	真空容器
2 1	プラズマ室
2 2	処理室
3	載置台
4	CF膜
4 1	TiN膜
4 2	レジスト膜
4 3	金属

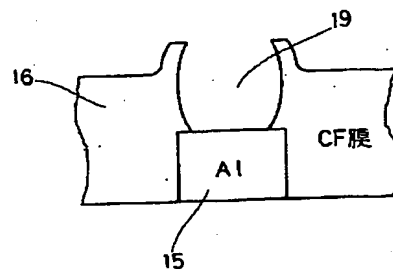
【図2】



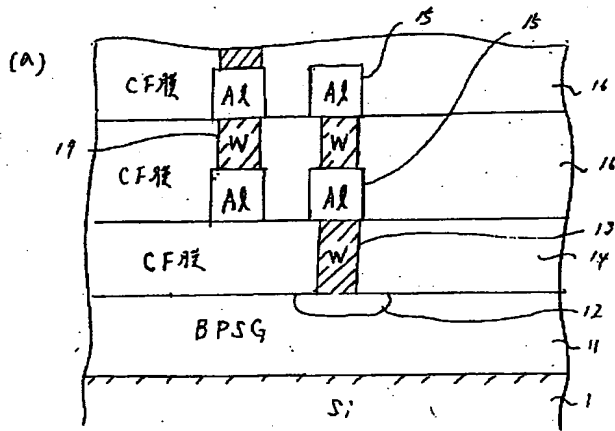
【図3】



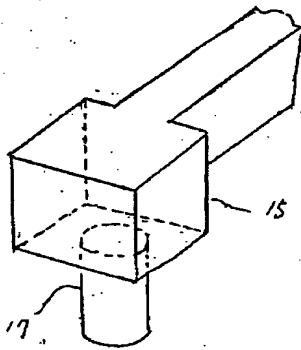
【図4】



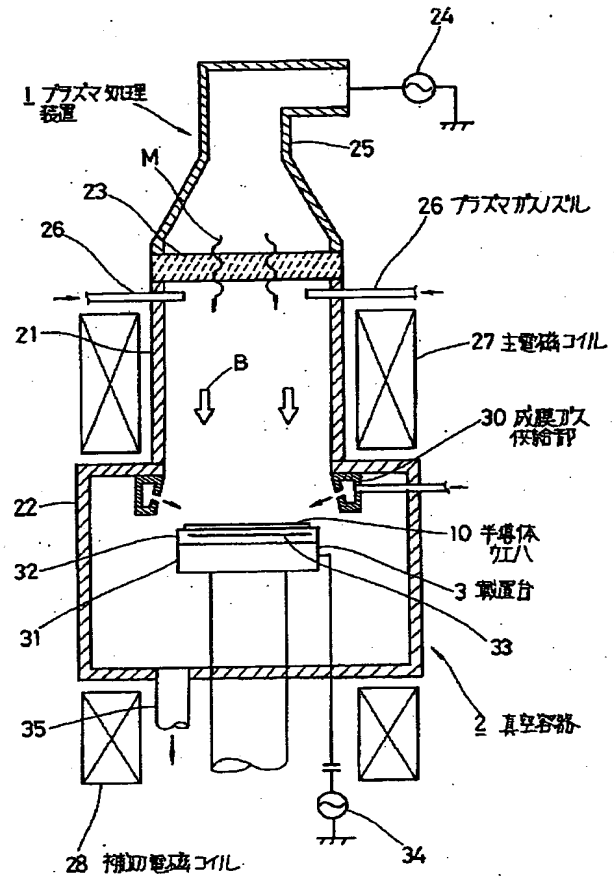
【図1】



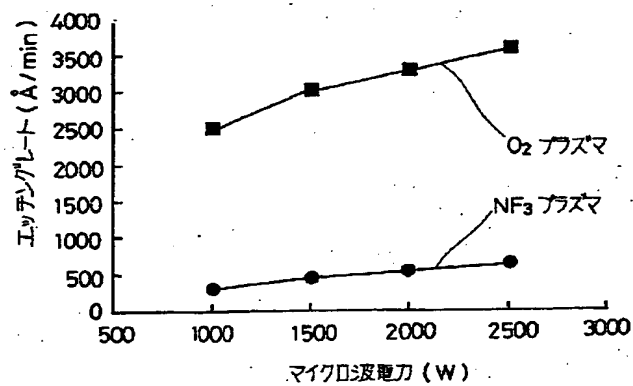
(b)



【図5】

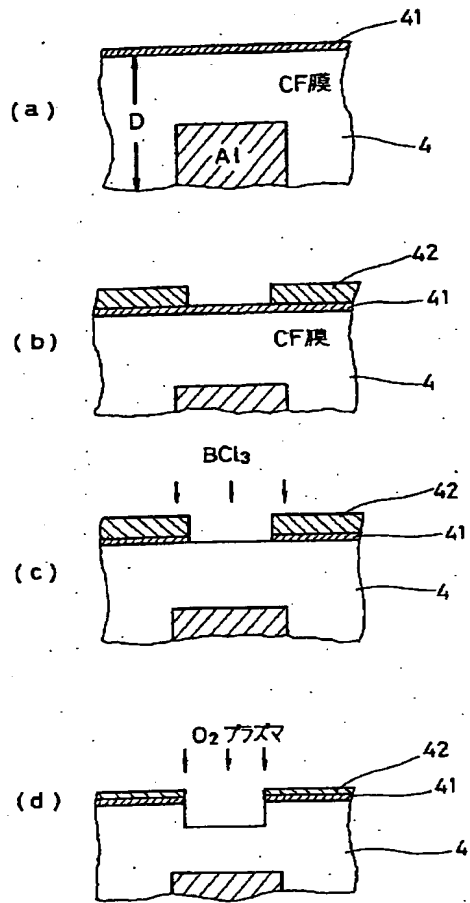


【図8】

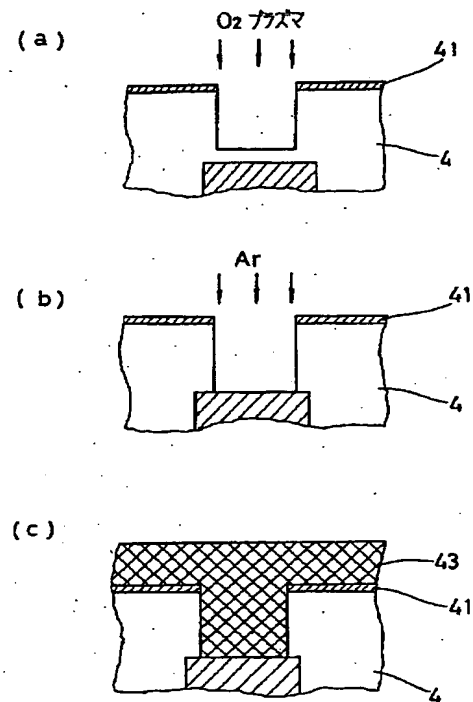




【図6】



【図7】



【手続補正書】

【提出日】平成9年1月24日

【手続補正2】

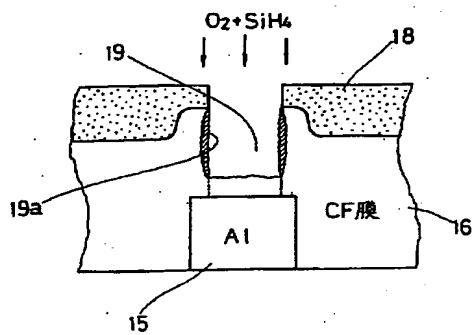
【補正対象書類名】図面

【補正対象項目名】全図

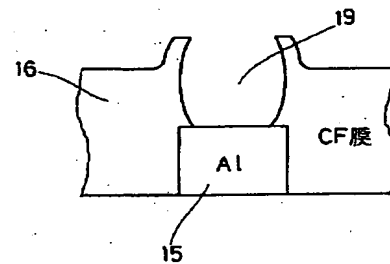
【補正方法】変更

【補正内容】

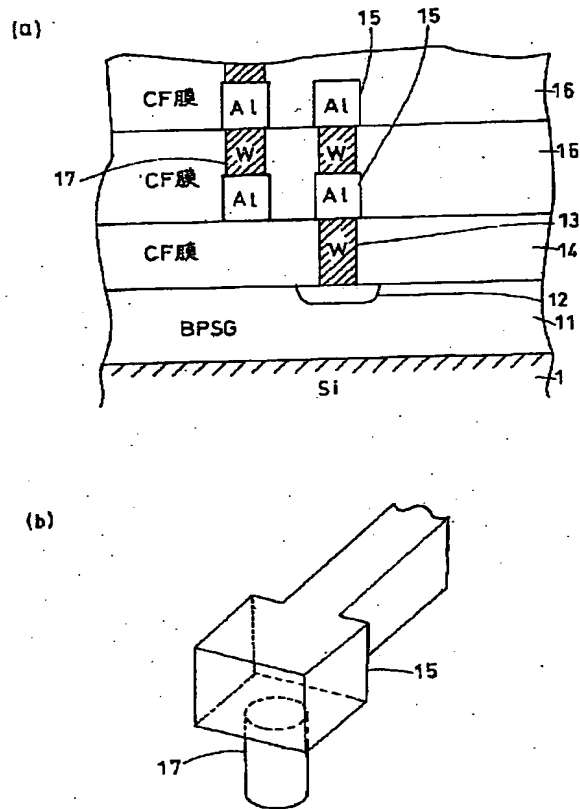
【図3】



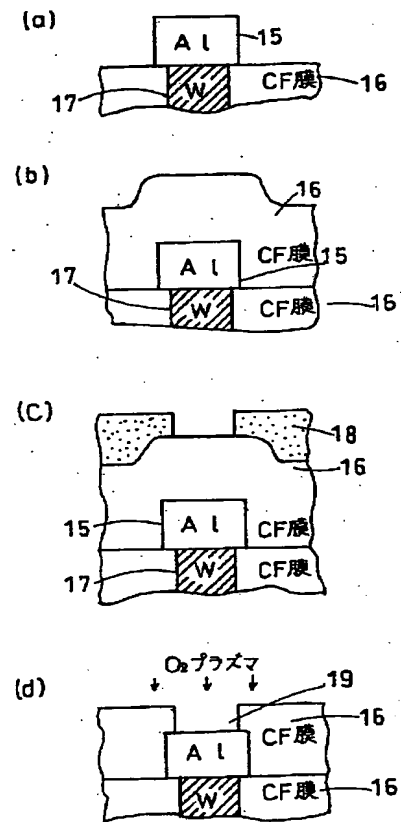
【図4】



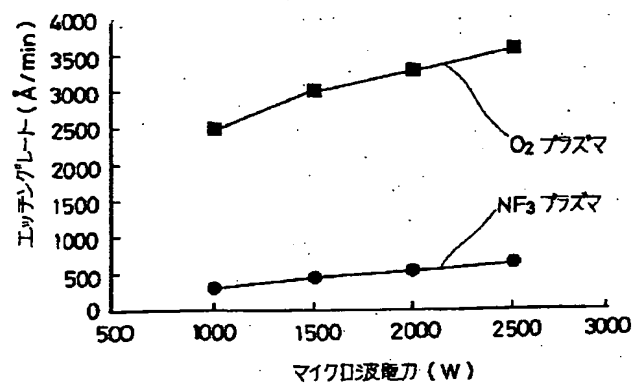
【図1】



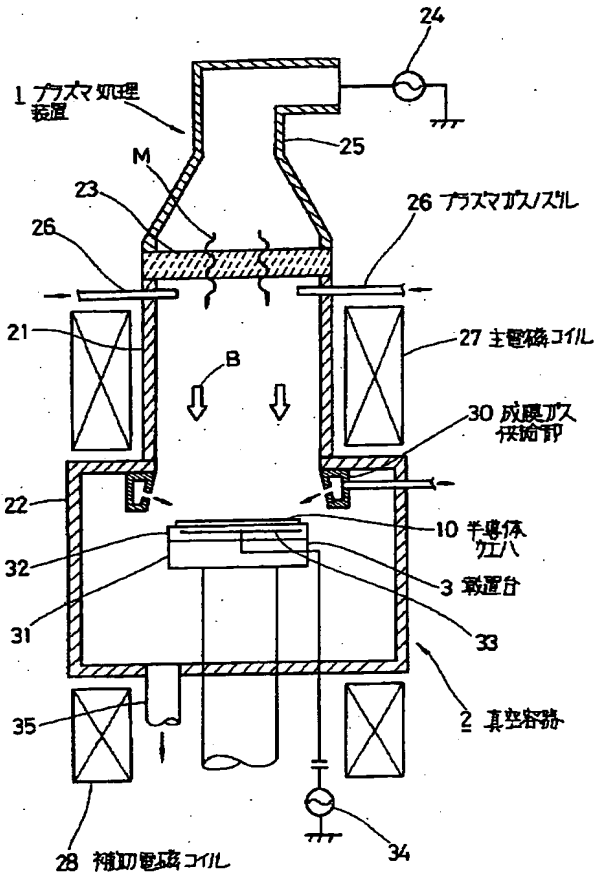
【図2】



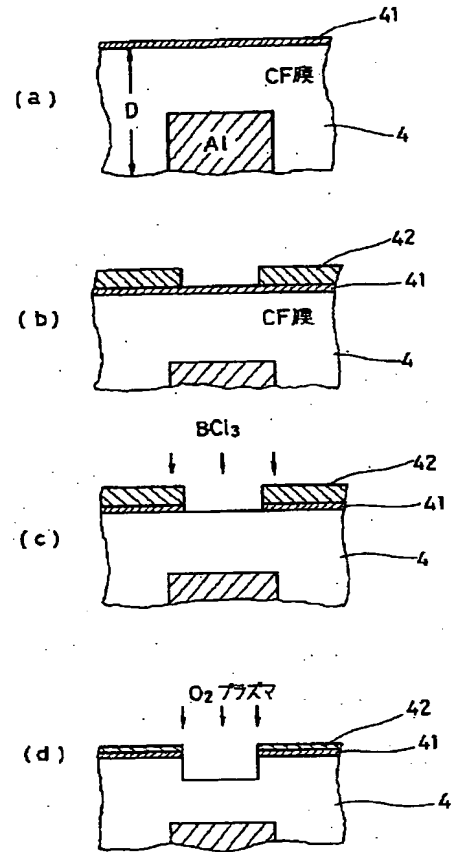
【図8】



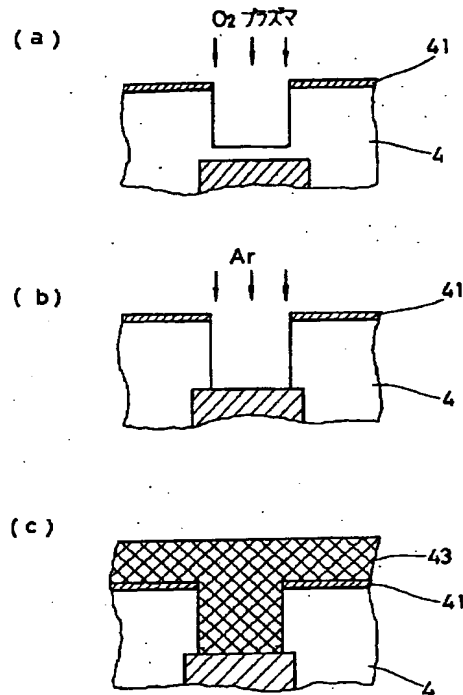
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 石塚 修一  
 神奈川県津久井郡城山町町屋1丁目2番41  
 号 東京エレクトロン東北株式会社相模事  
 業所内

(72)発明者 平田 匡史  
 東京都千代田区内幸町2-2-3日比谷国  
 際ビル 川崎製鉄株式会社東京本社内  
 (72)発明者 青木 武志  
 東京都千代田区内幸町2-2-3日比谷国  
 際ビル 川崎製鉄株式会社東京本社内